

FPGA: Field programmable Gate Arrays

Panoramica sulle tecniche
per una progettazione allo stato
dell'arte
2024

06 Dicembre 2024

Ore 9:30 – 13:00

Ore 14:00 – 18:45

Webinar

L'Ordine degli Ingegneri della Provincia di Roma in collaborazione con la Fondazione dell'Ordine degli Ingegneri di Roma organizza un seminario tecnico in webinar (diretta streaming con interazione mediante piattaforma) per i propri iscritti in regola con le quote associative.

Per gli iscritti all'Ordine degli Ingegneri di Roma per la partecipazione al webinar è previsto un contributo di € 5,00. La partecipazione al seminario rilascia **6 CFP** ai fini dell'aggiornamento delle competenze professionali (ex DPR 137/2012 e successivo regolamento approvato dal Ministero della Giustizia).

La frequenza è obbligatoria e i 6 CFP saranno riconosciuti solo con la partecipazione all'intera durata dell'evento.

Per partecipare sarà sufficiente accedere alla piattaforma a partire dalle ore 08:50 cliccando sul link di accesso ricevuto via email al momento della prenotazione

L'iscrizione è obbligatoria sul sito della Fondazione dell'Ordine degli Ingegneri di Roma alla pagina: <https://foir.it/formazione/eventi>
Prenotandosi all'evento si autorizza il trattamento dei dati personali (nome, cognome, matricola, codice fiscale, email, cell.), ai sensi dell'art. 13 del GDPR (Regolamento UE 2016/679), per le sole finalità connesse alla organizzazione ed erogazione dell'evento in modalità webinar.

L'**attestato di partecipazione** all'evento, che sarà conseguito previo controllo dell'accesso ed uscita dalla piattaforma informatica nonché della partecipazione a tutta la durata dell'evento anche attraverso l'effettuazione di domande e/o sondaggi, potrà essere scaricato dagli Ingegneri dalla piattaforma www.mying.it nei giorni successivi allo svolgimento dell'evento medesimo e dovrà essere custodito dal discente ai sensi dell'art. 10 del Regolamento per l'Aggiornamento delle Competenze Professionali.

Il materiale didattico - informativo inerente al seminario sarà disponibile per tutti gli iscritti sul sito della Fondazione dell'Ordine nei giorni successivi allo svolgimento dell'evento.

La commissione ELETTRONICA e MICROELETTRONICA istituita presso l'Ordine degli Ingegneri della Provincia di Roma, propone agli iscritti un seminario tecnico **gratuito** sul tema della progettazione elettronica mediante l'uso dei cosiddetti **FPGA (Field Programmable Gate Arrays)** components. Si analizzeranno alcune tipologie di FPGA adatte per progetti negli ambiti Industriale, Biomedicale, Trasporti, Difesa ed Aerospazio. La prima parte riguarderà una panoramica introduttiva e preparatoria degli argomenti a seguire, attraverso la quale si illustrerà al discente (neofita od esperto che sia) cos'è, dove e come si usa e soprattutto come si sceglie un FPGA; si affronteranno poi alcune tecniche di utilizzo di questi componenti nelle loro più classiche configurazioni (con o senza un processore al loro interno o collegato ad essi) cercando di fornire al discente una strategia per ridurre il più possibile il tempo necessario alla

progettazione di soluzione tecnicamente complesse. Saranno presentate diverse soluzioni ponendo gli FPGA al centro della discussione, siano essi agenti in versione stand-alone che in versione **SoC (System on Chip)**. I discenti avranno anche l'opportunità di valutare diverse tipologie di componente e di strumenti di progettazione, in modo che possano essere poi in grado di scegliere la soluzione FPGA + tool di progettazione che meglio si adatta alle loro esigenze di progetto.

Durante il seminario si avrà anche modo di studiare alcune soluzioni FPGA che consentono di realizzare sistemi **SAFETY CRITICAL e AI (Artificial Intelligence)** con l'ausilio di diverse tipologie di processore (**ARM™ o RISC-V™**), in versione SoftCore e/o HardCore. Nella parte iniziale del seminario sarà presentata un'introduzione al mondo delle FPGA per i neofiti, in modo che possano anche loro meglio apprezzare i contenuti che saranno proposti durante l'intera giornata.

Nota: alcuni argomenti saranno trattati in lingua Inglese.

Con il contributo incondizionato di:



Programma 06 Dicembre 2024

Ore 9:00 – 09:15

Registrazione dei partecipanti

Ore 9:15 – 09:30

Saluti iniziali e introduzione ai lavori.

Ing. Massimo Cerri

Presidente

Ordine degli Ingegneri della Provincia di Roma

Ing. Pier Francesco Maria Santi

Presidente Commissione Elettronica e Microelettronica

Ordine degli Ingegneri di Roma

I° parte

Ore 09:30 – 10:30

Panoramica introduttiva.

“FPGA: cosa sono, a cosa servono, come si usano e come si scelgono”

Ing. Pier Francesco Maria Santi

*Presidente Commissione Elettronica e Microelettronica
Ordine degli Ingegneri di Roma*

Ore 10:30 – 11:30

*“Soluzioni di Edge Processing basate su
FPGA e SoC per sistemi Safety Critical”*

Ing. Luca Cattaneo

*Ordine degli Ingegneri della provincia di Varese
EMEA FPGA Team Manager (Microchip)*

Ore 11:30 – 12:00
Pausa/Coffe break

Ore 12:00 – 13:00

*“Linux e funzionalità operative RealTime su
piattaforme RISC-V™ Multicore su FPGA”*

Ing. Luca Cattaneo

*Ordine degli Ingegneri della provincia di Varese
EMEA FPGA Team Manager (Microchip)*

Ore 13:00 – 14:30
Pausa pranzo

II° parte

Ore 14:00 – 15:00

Designing with FPGA’s HIGH-SPEED interfaces

Ing. Francesco Contu

HS and RF system solution expert EMEA (Silica/AMD)

Ore 15:00 – 16:00

*Multichannel and multichip synchronization (RF_Soc
multi antenna design)*

Ing. Francesco Contu

HS and RF system solution expert EMEA (Silica/AMD)

Ore 16:00 – 16:30
Pausa/Coffe break

Ore 16:30 – 17:30

*“Disruptive Quantum™ Architecture for Efinix™
mainstream FPGAs”*

Dipl. Ing.(FH) Harald Werner

EMEA FPGA Team Manager (Efinix)

Ore 17:30 – 18:30

*“Efinix™ IP and free license Design Software
(RISC-V, IP and AI solutions)”*

Dipl. Ing.(FH) Harald Werner

EMEA FPGA Team Manager (Efinix)

Ore 18:30 – 18.45

Domande, chiusura lavori e saluti finali

Ing. Pier Francesco Maria Santi

*Presidente Commissione Elettronica e Microelettronica
Ordine degli Ingegneri di Roma*

Dipl. Ing.(FH) Harald Werner

EMEA FPGA Team Manager (Efinix)